

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-242885
 (43) Date of publication of application : 07.09.1999

(51) Int. Cl. G11C 11/406
 G11C 11/407

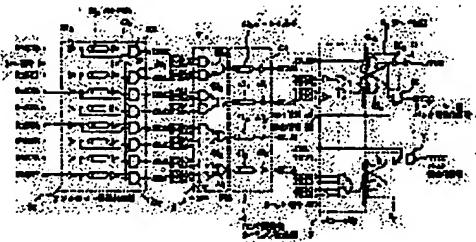
(21) Application number : 10-043562 (71) Applicant : NEC CORP
 (22) Date of filing : 25.02.1998 (72) Inventor : ISA SATOSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the circuit area of a timing generator from being increased greatly even if the number of banks increases.

SOLUTION: The one-shot signal generating section 2 outputs one-shot pulse signals RTOA0-RTOA7 in accordance with change in row address activating signals RASB0-RASB7, setting latch circuits 60-67. Then, these signals are encoded in the encoding section 3, converted into four signals, and decoded to the initial signals at the decoding section 5 after being delayed for a specific time at the inter-bank shared timing forming section 4, with the latch circuits 60-67 reset. At the time of refreshing, the refresh timing forming section 1 operates, and all bank activating signals RT00-RT07 are outputted. As a result, even for eight banks, five delay elements 410-413 are sufficient.



LEGAL STATUS

[Date of request for examination] 25.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3221483

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-242885

(43)公開日 平成11年(1999)9月7日

(51)Int.Cl.⁸

識別記号

F I

G 11 C 11/406
11/407

G 11 C 11/34

3 6 3 K
3 6 2 S

審査請求 有 請求項の数9 OL (全12頁)

(21)出願番号 特願平10-43562

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成10年(1998)2月25日

(72)発明者 伊佐 聰

東京都港区芝五丁目7番1号 日本電気株
式会社内

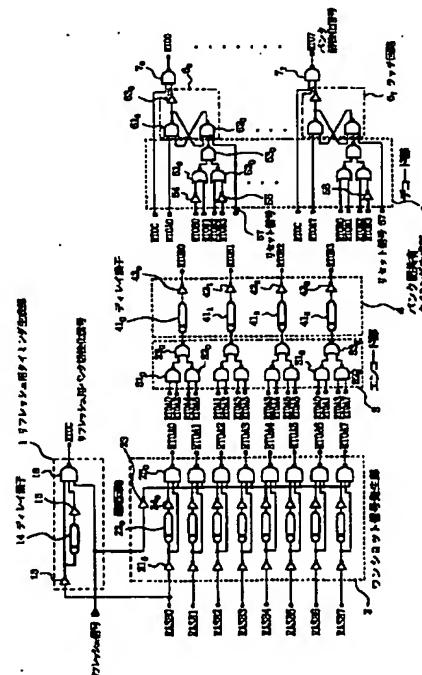
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 バンク数が増加してもタイミング・ジェネレータの回路面積を大幅に増加させない。

【解決手段】 ワンショット信号発生部2は、行アドレス活性化信号RASB0～RASB7の変化によりワンショットパルス信号RTOA0～RTOA7を出力しラッチ回路6₀～6₇をセットする。そして、これらの信号はエンコード部3においてエンコードされ、4つの信号に変換され、バンク間共有タイミング生成部4において一定時間遅延された後にデコード部5で元の信号に戻されてからラッチ回路6₀～6₇をリセットする。リフレッシュ時には、リフレッシュ用タイミング生成部1が動作して全てのバンク活性化信号RTO0～RTO7が出力される、よって、バンクが8つでもディレイ素子1₄、4₁～4₁₃は5つで済む。



【特許請求の範囲】

【請求項1】複数のバンク活性化信号をそれぞれ入力し、前記複数のバンク活性化信号のうちの対応した信号がアクティブとなると活性化される複数のバンクと、複数の行アドレス活性化信号を入力し、リフレッシュ信号がリフレッシュ動作時ではないことを示しているインアクティブの場合には、前記各行アドレス活性化信号の変化を検出して前記各行アドレス活性化信号に対応したワンショットパルス信号を出力するワンショット信号発生部と、前記リフレッシュ信号がリフレッシュ動作時を示しているアクティブの場合には、前記複数の行アドレス活性化信号のうちの定められた1つの行アドレス活性化信号を入力し、該行アドレス活性化信号がアクティブとなると一定期間アクティブとなるリフレッシュ用バンク活性化信号を出力するリフレッシュ用タイミング生成部と、前記ワンショット信号発生部から出力された複数のワンショットパルス信号を組み合わせることにより該ワンショットパルス信号の数よりも少ない数の信号に変換するエンコーダ部と、複数のディレイ素子により構成され、前記エンコーダ部によって変換された信号を一定時間だけ遅延させるバンク間共有タイミング生成部と、前記バンク間共有タイミング生成部から出力された信号を前記エンコード部によって行われた変換とは逆の変換を行うことにより前記ワンショット信号発生部から出力された際と同じである元のワンショットパルス信号に戻すための動作を行うデコード部と、前記ワンショット信号発生部から出力されたワンショットパルス信号によりそれぞれセットされ、前記デコード部から出力されたワンショットパルス信号によってそれぞれリセットされる複数のラッチ回路と、前記リフレッシュ用バンク活性化信号と前記ラッチ回路の出力信号との間で論理演算することによりどちらか一方の信号をバンク活性化信号として出力する複数の論理回路とから構成されているタイミング・ジェネレータとを有する半導体記憶装置。

【請求項2】前記リフレッシュ用タイミング生成部が、前記定められた1つの行アドレス活性化信号を入力して論理反転して出力する第1のインバータと、前記第1のインバータからの出力信号を一定時間遅延して出力する第1のディレイ素子と、前記第1のディレイ素子から出力された信号を論理反転して出力する第2のインバータと、前記第1のインバータ、前記第2のインバータおよび前記リフレッシュ信号の間の論理積の反転を演算し、該演算結果をリフレッシュ用バンク活性化信号として出力する第1の NAND 回路とから構成されている請求項1記載の半導体記憶装置。

【請求項3】前記ワンショット信号発生部が、

前記各行アドレス活性化信号をそれぞれ入力して論理反転して出力する複数の第3のインバータと、前記各第3のインバータからの出力信号をそれぞれ一定時間遅延して出力する複数の遅延回路と、前記各遅延回路から出力された信号を論理反転して出力する第4の複数のインバータと、前記リフレッシュ信号を論理反転して出力する第5のインバータと、前記各第3のインバータ、前記各第4のインバータおよび前記第5のインバータのそれぞれの出力の間の論理積の反転をそれぞれ演算し、該演算結果をワンショットパルス信号として出力する複数の第2の NAND 回路とから構成されている請求項1または2記載の半導体記憶装置。

【請求項4】複数のバンク活性化信号をそれぞれ入力し、前記複数のバンク活性化信号のうちの対応した信号がアクティブとなると活性化される複数のバンクと、複数の行アドレス活性化信号を入力し、リフレッシュ信号がリフレッシュ動作時ではないことを示しているインアクティブの場合には、前記各行アドレス活性化信号の変化を検出して前記各行アドレス活性化信号に対応したワンショットパルス信号を出力、前記リフレッシュ信号がリフレッシュ動作時であることを示しているアクティブの場合には前記複数の行アドレス活性化信号のうち定められた1つの行活性化信号のみの変化を検出して該行アドレス活性化信号に対応したワンショットパルス信号を出力するワンショット信号発生部と、

前記ワンショット信号発生部から出力された複数のワンショットパルス信号を組み合わせることにより該ワンショットパルス信号の数よりも少ない数の信号に変換するエンコーダ部と、

複数のディレイ素子により構成され、前記エンコーダ部によって変換された信号を一定時間だけ遅延させるバンク間共有タイミング生成部と、

前記バンク間共有タイミング生成部から出力された信号を前記エンコード部によって行われた変換とは逆の変換を行うことにより前記ワンショット信号発生部から出力された際と同じである元のワンショットパルス信号に戻すための動作を行うデコード部と、

前記ワンショット信号発生部から出力されたワンショットパルス信号によりそれぞれセットされ、前記デコード部から出力されたワンショットパルス信号によってそれぞれリセットされる複数のラッチ回路と、

前記リフレッシュ信号がアクティブの場合には、前記ワンショット信号発生部から出力されたワンショットパルス信号が入力されている前記ラッチ回路の出力を前記リフレッシュ用バンク活性化信号として出力する第1の論理回路と、

前記リフレッシュ用バンク活性化信号と前記ラッチ回路

の出力信号との間で論理演算することによりどちらか一方の信号をバンク活性化信号として出力する複数の第2の論理回路とから構成されているタイミング・ジェネレータとを有する半導体記憶装置。

【請求項5】前記ワンショット信号発生部が、前記各行アドレス活性化信号をそれぞれ入力して論理反転して出力する複数の第3のインバータと、前記各第3のインバータからの出力信号をそれぞれ一定時間遅延して出力する複数の遅延回路と、前記各遅延回路から出力された信号を論理反転して出力する第4の複数のインバータと、前記リフレッシュ信号を論理反転して出力する第5のインバータと、前記複数の第3のインバータのうちの所定の1つの第3のインバータの出力と、前記第4のインバータのうちの前記所定の第3のインバータに対応した所定の第4のインバータの出力との間の論理積の反転を演算し、該演算結果をワンショットパルス信号として出力する第2の NAND回路と、前記複数の第3のインバータのうちの前記所定の第3のインバータ以外の出力と、前記複数の第4のインバータのうちの前記所定の第4のインバータ以外の出力および前記第5のインバータの出力との間の論理積の反転をそれぞれ演算し、該演算結果をワンショットパルス信号として出力する複数の第3の NAND回路とから構成されている請求項4記載の半導体記憶装置。

【請求項6】前記エンコード部が、前記ワンショット信号発生部から出力された各ワンショットパルス信号のうちの所定の2つのワンショットパルス信号の間の論理演算を行う複数の第3の論理回路と、前記ワンショット信号発生部から出力された各ワンショットパルス信号のうちの前記第3の論理回路に入力されたワンショットパルス信号とは異なる所定の2つのワンショットパルス信号の間の論理演算を行う複数の第4の論理回路と、前記各第3の論理回路の出力信号と前記各第4の論理回路の出力信号との間の論理演算を行う複数の第5の論理回路とから構成されている請求項1から5のいずれか1項記載の半導体記憶装置。

【請求項7】前記第3および前記第4の論理回路が NAND回路であり、前記第5の論理回路がノア回路である請求項6記載の半導体記憶装置。

【請求項8】前記デコード部が、前記バンク間共有タイミング生成部から出力された各ワンショットパルス信号のうちの所定の2つのワンショットパルス信号の間の論理演算を行う複数の第6の論理回路と、前記バンク間共有タイミング生成部から出力された各ワンショットパルス信号のうちの前記第6の論理回路に入力されたワンショットパルス信号とは異なる所定の2つ

のワンショットパルス信号の間の論理演算を行う複数の第7の論理回路と、

前記各第6の論理回路の出力信号と前記各第7の論理回路の出力信号との間の論理演算を行う複数の第8の論理回路とから構成されている請求項1から7のいずれか1項記載の半導体記憶装置。

【請求項9】前記第6および前記第7の論理回路が、入力した2つのワンショットパルス信号のうち、前記エンコード部で組み合わされた信号が組み合わされる前に復元されるように所定のワンショットパルス信号のみを論理反転してから論理和の反転の演算を行う論理回路であり、

前記第8の論理回路が NAND回路である請求項8記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に記憶領域が複数のバンクによって構成される半導体記憶装置に関する。

【0002】

【従来の技術】D R A M等の半導体記憶装置は、複数のビット線対と複数のワード線の交点にそれぞれメモリセルが設けられていて、行アドレスによりワード線を選択し、列アドレスによりビット線対を選択することにより目的のメモリセルの記憶情報を読み出すことができるようになっている。

【0003】そして、従来のD R A M等の半導体記憶装置では、記憶容量の増加やビット線対の長さの制限等の原因により記憶領域を複数のブロックに分割する方法が用いられている。

【0004】そして、このような複数ブロック構成の半導体記憶装置のメモリセルに記憶された記憶情報を読み出すには、先ず行アドレスを指定し、続いて列アドレスを指定するとともにブロックアドレスを指定する必要がある。そして、アドレスが指定された後に、外部からコマンドが与えられることによりデータの書き込みや読み出しなど各種の動作を行うようになっている。

【0005】しかし、このように半導体記憶装置を複数のブロックにより構成し、1つのタイミング・ジェネレータでコントロールするようにすると、あるブロックの処理を行っている間は他のブロックに対する処理を行うことができないため、記憶容量が増加しブロックの数が増加してくると記憶内容の読み出しに長時間を要するという問題点があった。

【0006】この問題点を解決するために半導体記憶装置を複数のブロックにより構成するのではなく、互いに独立に動作することができるバンクにより構成するS(シンクロナス)D R A M等が用いられるようになっている。

【0007】このような複数のバンクから成る従来の半

導体記憶装置の構成を図4に示す。

【0008】この従来の半導体記憶装置は、記憶領域が8つのバンク10₀～10₇から構成されている。

【0009】そして、この従来の半導体記憶装置は各バンク10₀～10₇を活性化するタイミングを制御するためのタイミング・ジェネレータ9を有している。タイミング・ジェネレータ9は、行アドレス活性化信号RASB0～RASB7を入力し、この各行アドレス活性化信号RASB0～RASB7がアクティブであるロウレベルとなると対応するバンク活性化信号RTO0～RTO7を一定時間だけアクティブであるハイレベルとする。各バンク10₀～10₇は、対応しているバンク活性化信号RTO0～RTO7がアクティブとなることにより活性化される。

【0010】また、タイミング・ジェネレータ9は、リフレッシュ信号8がアクティブであるハイレベルとなると全てのバンク活性化信号RTO0～RTO7を一定時間アクティブとする。

【0011】次に、この従来のタイミング・ジェネレータ9の回路図を図5に示す。

【0012】このタイミング・ジェネレータ9は、インバータ87₀～87₇と、アンド回路86₀～86₇と、インバータ80₀～80₇と、タイミング生成部81と、アンド回路84₀～84₇と、インバータ85₀～85₇とから構成されている。また、タイミング生成部81は、ディレイ素子82₀～82₇と、インバータ83₀～83₇から構成されている。

【0013】図5では、行アドレス活性化信号RASB1～RASB6を入力してバンク活性化信号RTO₁～RTO₆を生成するための回路には図面が煩雑となるため符号を付していないが、符号が付されているものとして説明する。

【0014】次に、この従来の半導体記憶装置におけるタイミング・ジェネレータ9の動作を図5および図6のタイミングチャートを用いて説明する。

【0015】先ず、リフレッシュ時でない通常の動作について説明する。

【0016】この場合には、リフレッシュ信号8はインアクティブであるロウレベルであるためインバータ87₀～87₇の出力はすべてハイレベルとなり、アンド回路86₀～86₇はそれぞれ行アドレス活性化信号RASB0～RASB7をそのままの論理で出力する。

【0017】これからの動作の説明は、行アドレス活性化信号RASB0からバンク活性化信号RTO0が生成される動作について説明するが、行アドレス活性化信号RASB1～RASB7からバンク活性化信号RTO₁～RTO₇がそれぞれ生成される動作も同様であるためその説明は省略する。

【0018】アンド回路86₀から出力された信号は、インバータ80₀により論理反転され信号aとなる。そ

して、信号aは、ディレイ素子82₀により一定時間が遅延され信号bとなり、さらにインバータ83₀により論理反転され信号cとなる。そして、 NAND回路84₀において論理演算されることにより信号dが生成され、インバータ85₀により論理反転されることによりバンク活性化信号RTO0が生成される。

【0019】図6のタイミングチャートを参照するとバンク活性化信号RTO0がハイレベルとなる時間の長さは、ディレイ素子82₀の遅延時間により決定されることが分かる。

【0020】次に、リフレッシュ時における動作について説明する。

【0021】リフレッシュ時には、RASB0がアクティブであるハイレベルのままでリフレッシュ信号8がアクティブであるハイレベルとなる。そして、リフレッシュ信号8は、インバータ87₀において論理反転されロウレベルとなりアンド回路86₀に入力されるため、アンド回路86₀の出力はロウレベルとなる。このことにより、ディレイ素子82₀の遅延時間により決定されるバンク活性化信号RTO0が出力されるのはリフレッシュ時以外の場合と同様である。

【0022】そして、リフレッシュ時にはリフレッシュ信号8がアクティブとなることにより、バンク活性化信号RTO0～RTO7は全て同時にアクティブとなる。

【0023】この説明においては、リフレッシュ時において8つのバンクを全てアクティブとする場合について説明したが、半導体記憶装置においては複数のバンクの一部のみをアクティブとする場合もある。

【0024】ここで、ディレイ素子82₀～82₇は遅延時間を長くしてバンク活性化信号RTO0～RTO7がハイレベルとなる時間を一定時間確保するために、一般的に数十段のインバータ又はバッファ等を直列に接続することにより構成されている。そのため、ディレイ素子82₀～82₇は大きな回路面積を必要とする。

【0025】この従来のタイミング・ジェネレータ9では、バンク数と同じ数のディレイ素子が必要であるため、記憶容量が増えてバンク数が増えれば増える程度タイミング・ジェネレータのサイズが増大し半導体記憶装置の回路面積が大幅に増加してしまうことになる。

【0026】

【発明が解決しようとする課題】上述した従来の半導体記憶装置では、そのタイミング・ジェネレータにおいてバンク数と同数のディレイ素子が必要なため、バンク数が増加するとタイミング・ジェネレータの回路面積が大幅に増加するという問題点があった。

【0027】本発明の目的は、バンク数が増加してもタイミング・ジェネレータの回路面積が大幅に増加しない半導体記憶装置を提供することである。

【0028】

【課題を解決するための手段】上記目的を達成するため

に、本発明の半導体記憶装置は、複数のバンク活性化信号をそれぞれ入力し、前記複数のバンク活性化信号のうちの対応した信号がアクティブとなると活性化される複数のバンクと、複数の行アドレス活性化信号を入力し、リフレッシュ信号がリフレッシュ動作時ではないことを示しているインアクティブの場合には、前記各行アドレス活性化信号の変化を検出して前記各行アドレス活性化信号に対応したワンショットパルス信号を出力するワンショット信号発生部と、前記リフレッシュ信号がリフレッシュ動作時を示しているアクティブの場合には、前記複数の行アドレス活性化信号のうちの定められた1つの行アドレス活性化信号を入力し、該行アドレス活性化信号がアクティブとなると一定期間アクティブとなるリフレッシュ用バンク活性化信号を出力するリフレッシュ用タイミング生成部と、前記ワンショット信号発生部から出力された複数のワンショットパルス信号を組み合わせることにより該ワンショットパルス信号の数よりも少ない数の信号に変換するエンコーダ部と、複数のディレイ素子により構成され、前記エンコーダ部によって変換された信号を一定時間だけ遅延させるバンク間共有タイミング生成部と、前記バンク間共有タイミング生成部から出力された信号を前記エンコード部によって行われた変換とは逆の変換を行うことにより前記ワンショット信号発生部から出力された際と同じである元のワンショットパルス信号に戻すための動作を行うデコード部と、前記ワンショット信号発生部から出力されたワンショットパルス信号によりそれぞれセットされ、前記デコード部から出力されたワンショットパルス信号によってそれぞれリセットされる複数のラッチ回路と、前記リフレッシュ用バンク活性化信号と前記ラッチ回路の出力信号との間で論理演算することによりどちらか一方の信号をバンク活性化信号として出力する複数の論理回路とから構成されているタイミング・ジェネレータとを有している。

【0029】本発明では、ワンショット信号発生部は、各行アドレス活性化信号の変化によりワンショットパルス信号を出力しラッチ回路をそれぞれセットする。そして、ワンショットパルス信号はエンコード部においてエンコードされ、ワンショットパルス信号の数よりも少ない数の信号に変換され、バンク間共有タイミング生成部において一定時間遅延された後にデコード部で元の信号に復元されてから各ラッチ回路をそれぞれリセットする。そして、リフレッシュ時には、リフレッシュ用タイミング生成部がリフレッシュ用バンク活性化信号を出力することにより全ての論理回路はバンク活性化信号を出力する。

【0030】したがって、設けられているバンクより少ない数のディレイ素子により各バンクに対応したバンク活性化信号をそれぞれ独立したタイミングで出力することができる。

【0031】また、本発明の半導体記憶装置は、複数の

バンク活性化信号をそれぞれ入力し、前記複数のバンク活性化信号のうちの対応した信号がアクティブとなると活性化される複数のバンクと、複数の行アドレス活性化信号を入力し、リフレッシュ信号がリフレッシュ動作時ではないことを示しているインアクティブの場合には、前記各行アドレス活性化信号の変化を検出して前記各行アドレス活性化信号に対応したワンショットパルス信号を出力、前記リフレッシュ信号がリフレッシュ動作時であることを示しているアクティブの場合には前記複数の行アドレス活性化信号のうち定められた1つの行活性化信号のみの変化を検出して該行アドレス活性化信号に対応したワンショットパルス信号を出力するワンショット信号発生部と、前記ワンショット信号発生部から出力された複数のワンショットパルス信号を組み合わせることにより該ワンショットパルス信号の数よりも少ない数の信号に変換するエンコーダ部と、複数のディレイ素子により構成され、前記エンコーダ部によって変換された信号を一定時間だけ遅延させるバンク間共有タイミング生成部と、前記バンク間共有タイミング生成部から出力された信号を前記エンコード部によって行われた変換とは逆の変換を行うことにより前記ワンショット信号発生部から出力された際と同じである元のワンショットパルス信号に戻すための動作を行うデコード部と、前記ワンショット信号発生部から出力されたワンショットパルス信号によりそれぞれセットされ、前記デコード部から出力されたワンショットパルス信号によってそれぞれリセットされる複数のラッチ回路と、前記リフレッシュ信号がアクティブの場合には、前記ワンショット信号発生部から出力されたワンショットパルス信号が入力されている前記ラッチ回路の出力を前記リフレッシュ用バンク活性化信号として出力する第1の論理回路と、前記リフレッシュ用バンク活性化信号と前記ラッチ回路の出力信号との間で論理演算することによりどちらか一方の信号をバンク活性化信号として出力する複数の第2の論理回路とから構成されているタイミング・ジェネレータとを有している。

【0032】本発明は、ある1つのバンク活性化信号を生成するための回路を用いてリフレッシュ用バンク活性化信号を生成するようにして、上記の発明におけるリフレッシュ用タイミング生成部を設けずにリフレッシュ時の動作を行なえるようにしたものである。

【0033】したがって、上記の発明よりさらに1つ少ないディレイ素子のみで各バンクに対応したバンク活性化信号をそれぞれ独立したタイミングで生成することができる。

【0034】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して詳細に説明する。

【0035】(第1の実施形態) 図1は本発明の第1の実施形態の半導体記憶装置におけるタイミング・ジェネ

レータの構成を示したブロック図である。

【0036】本実施形態の半導体記憶装置は、図4の従来の半導体記憶装置に対して、タイミング・ジェネレータの替わりに図1に示すタイミング・ジェネレータを用いたものである。

【0037】本実施形態における、タイミング・ジェネレータは、図1に示すように、リフレッシュ用タイミング生成部1と、ワンショット信号発生部2と、エンコード部3と、バンク間共有タイミング生成部4と、デコード部5とラッチ回路6₀～6₇と、 NAND回路7₀～7₇とから構成されている。

【0038】リフレッシュ用タイミング生成部1は、インバータ13、15と、ディレイ素子14と、 NAND回路16とから構成されている。

【0039】このリフレッシュ用タイミング生成部1は、リフレッシュ信号8がハイレベルの場合に、行アドレス活性化信号RASB0がロウレベルとなると一定時間ハイレベルとなるリフレッシュ用バンク活性化信号RTOCを出力する。

【0040】ワンショット信号発生部2は、インバータ21₀～21₇と、インバータ23と、インバータ24₀～24₇と、遅延回路22₀～22₇と、 NAND回路25₀～25₇とから構成されている。

【0041】インバータ21₀～21₇は、行アドレス活性化信号RASB0～RASB7をそれぞれ入力し、論理反転して出力している。

【0042】遅延回路22₀～22₇は、インバータ21₀～21₇からの出力信号をそれぞれ一定時間遅延して出力している。

【0043】インバータ24₀～24₇は、遅延回路22₀～22₇からの出力信号をそれぞれ入力し、論理反転してから出力している。

【0044】インバータ23は、リフレッシュ信号8を論理反転して出力している。

【0045】NAND回路25₀～25₇は、インバータ21₀～21₇、24₀～24₇からのそれぞれの出力信号およびインバータ23からの出力信号との間の論理積の反転の演算を行ないその演算結果をワンショットパルス信号RTOA0～RTOA7として出力している。そして、NAND回路25₀～25₇には、インバータ23からの出力信号が入力されているためリフレッシュ信号8がハイレベルとなった場合にはワンショット信号発生部2の動作を全て停止するようになっている。

【0046】ここで、遅延回路22₀～22₇は、入力した信号を一定時間遅延するための回路でありディレイ素子41₀～41₃、ディレイ素子14と同様な動作を行うものである。しかし、遅延回路22₀～22₇は、ワンショットパルス信号を生成するための回路に用いられているため、その遅延量はディレイ素子と比較してはるかに少ないため必要な回路面積も大幅に少なくなっている。

【0047】エンコード部3と、 NAND回路31₀～31₃と、 NAND回路32₀～32₃と、ノア回路33₀～33₃とから構成されている。

【0048】NAND回路31₀～31₃およびNAND回路32₀～32₃は、ワンショット信号発生部2から出力されたワンショットパルス信号RTOA0～RTOA7のうち所定の2つの信号の間の論理積演算の反転の演算を行なっている。

【0049】ノア回路33₀～33₃は、 NAND回路32₀～32₃とNAND回路32₀～32₃とのそれぞれの出力信号との間の論理和の反転の演算を行なっている。

【0050】バンク間共有タイミング生成部4は、ディレイ素子41₀～41₃と、インバータ42₀～42₃とから構成されている。

【0051】ディレイ素子41₀～41₃は、エンコード部3から出力された信号をそれぞれ一定時間だけ遅延させて出力している。

【0052】インバータ42₀～42₃は、ディレイ素子41₀～41₃からの出力信号を論理反転してワンショットパルス信号RTOB0～RTOB3として出力している。

【0053】デコード部5は、ノア回路51₀～51₇、52₀～52₇と、NAND回路53₀～53₇と、インバータ54、55、56、…とから構成されている。

【0054】ここで、図にはインバータ54、55、56のみが示されているが、図示されていないノア回路51₁～51₆、52₁～52₆にも所定の入力にはインバータが設けられている。そして、このインバータは、ラッチ回路6₀～6₇をリセットするための信号を生成するデコード部5の各回路において、そのラッチ回路をセットするためのワンショットパルス信号が、エンコード部3においてエンコード後のワンショットパルス信号を生成するための回路に入力されている場合にはそのエンコード後のワンショットパルス信号を入力しているNAND回路51₀～51₇、52₀～52₇の入力端子にのみ設けられている。

【0055】例えば、ワンショットパルス信号RTOA0は、エンコード部3におけるワンショットパルス信号RTOB0を生成するための回路とワンショットパルス信号RTOB3を生成するための回路に入力されているため、デコード部5ではワンショットパルス信号RTOB0とワンショットパルス信号RTOB3が入力されるNAND回路51₀、52₀の入力端子にインバータ54、55が設けられている。

【0056】ラッチ回路6₀は、NAND回路61₀、62₀、とインバータ63₀によって構成されていて、ワンショットパルス信号RTOA0によってセットされ、NAND回路53₀の出力信号によってリセットされる。また、リセット信号57がNAND回路62₀に入力され、このリセット信号57によってもリセットされるように

なっている。このリセット信号 t_7 は、初期状態においてラッチ回路 6_0 の出力が不定とならないように決定するための信号である。また、ラッチ回路 $6_1 \sim 6_7$ も、 NAND回路 $6_{11} \sim 6_{17}$ 、 $6_{21} \sim 6_{27}$ 、とインバータ $6_{31} \sim 6_{37}$ によって構成されラッチ回路 6_0 と同様な動作を行うためその説明は省略する。

【0057】NAND回路 $7_0 \sim 7_7$ は、ラッチ回路 $6_0 \sim 6_7$ からの出力信号とリフレッシュ用バンク活性化信号RTOCとの間でそれぞれ論理演算を行ない、その演算結果をバンク活性化信号RTO0～RTO7として出力する。

【0058】次に、本実施形態の動作について図1および図2のタイミングチャートを参照して説明する。

【0059】図2は図1のタイミング・ジェネレータにおいてバンク 1_{10} とバンク 1_{11} をタイミングを少しずらせて活性化する際の動作を示したタイミングチャートである。この図2においては、説明を簡単にするため、ディレイ素子 14 、 $4_{10} \sim 4_{13}$ および遅延回路 $2_{20} \sim 2_{27}$ 以外の回路による遅延は無視して説明するものとする。

【0060】先ず、行アドレス活性化信号RASB0がアクティブであるロウレベルになることによりワンショット信号発生部2によりワンショットパルス信号RTOA0が出力される。そして、ラッチ回路 6_0 では、ワンショットパルス信号RTOA0が出力されたことによりセットされバンク活性化信号RTO0がハイレベルとなる(時刻 t_1)。

【0061】同様にして、行アドレス活性化信号RASB1がアクティブであるロウレベルになることによりワンショット信号発生部2によりワンショットパルス信号RTOA1が出力され、バンク活性化信号RTO1がハイレベルとなる(時刻 t_2)。

【0062】そして、発生したワンショットパルス信号RTOA0がエンコード部3のNAND回路 3_{10} に入力されることによりノア回路 3_{30} からワンショットパルス信号RTOA0と同じ信号が出力される。そして、バンク間共有タイミング生成部4を通過することによりディレイ素子 4_{10} の遅延時間だけ遅延したワンショットパルス信号RTOB0が出力される時刻(t_3)。

【0063】同様にして、発生したワンショットパルス信号RTOA1がエンコード部3のNAND回路 3_{11} に入力されることによりノア回路 3_{31} からワンショットパルス信号RTOA1と同じ信号が出力される。そして、バンク間共有タイミング生成部4を通過することによりディレイ素子 4_{11} の遅延時間だけ遅延したワンショットパルス信号RTOB1が出力される時刻(t_4)。

【0064】また、発生したワンショットパルス信号RTOA0、RTOA1がエンコード部3のNAND回路 3_{13} に入力されることによりノア回路 3_{33} からワンショ

ットパルス信号RTOA0、RTOA1を合わせた信号が出力される。そして、バンク間共有タイミング生成部4を通過することによりディレイ素子 4_{13} の遅延時間だけ遅延したワンショットパルス信号RTOB3が出力される時刻($t_3, 4$)。

【0065】そして、ワンショットパルス信号RTOB0はインバータ 5_4 で論理反転され、ワンショットパルス信号RTOB1はそのままの論理でノア回路 5_{10} において論理演算されることによりノア回路 5_{10} からはワンショットパルス信号RTOB0と同じ信号のみが出力される。同様にして、ワンショットパルス信号RTOB3はインバータ 5_5 により論理反転されてからノア回路 5_{20} に入力されるため、ノア回路 5_{20} からはワンショットパルス信号RTOB3と同じ信号が出力される。そして、ワンショットパルス信号RTOB0、RTOB3と同じ信号がNAND回路 5_{30} において論理演算されることによりこの2つの信号のうち共通した信号のみが論理反転されて出力される。そして、ラッチ回路 6_0 はこの信号を入力することによりその出力が反転するため、NAND回路 7_0 から出力されていたバンク活性化信号RTO0はインアクティブであるロウレベルとなる(時刻 t_3)。

【0066】また、同様にしてワンショットパルス信号RTOB0、1、3によりバンク活性化信号RTO1もインアクティブであるロウレベルとなる(時刻 t_4)。

【0067】次に、図1のタイミング・ジェネレータにおけるリフレッシュ時の動作について説明する。

【0068】リフレッシュ時には、リフレッシュ信号8がアクティブであるハイレベルとなった後に、行アドレス活性化信号RASB0がアクティブであるロウレベルとなる。そのため、リフレッシュ用タイミング生成部1において一定期間だけロウレベルであるリフレッシュ用バンク活性化信号RTOCが生成される。そして、リフレッシュ用バンク活性化信号RTOCはNAND回路 $7_0 \sim 7_7$ に入力されているため、ハイレベルの期間が一定期間ハイレベルであるバンク活性化信号RTO0～RTO7がそれぞれ出力される。

【0069】本実施形態の半導体記憶装置におけるタイミング・ジェネレータは、バンク数が8であるにもかかわらず、ディレイ素子 $4_{10} \sim 4_{13}$ とディレイ素子 14 の5つのディレイ素子のみで各バンク $1_{10} \sim 1_{17}$ に対応したバンク活性化信号RTO0～RTO7をそれぞれ独立したタイミングで生成することができる。

【0070】本実施形態は、図5の従来の半導体記憶装置におけるタイミング・ジェネレータと比較してディレイ素子の数が8から5へと減少しているが、ワンショット信号発生部2、エンコード部3、デコード部5ラッチ回路 $6_0 \sim 6_7$ 等の他の周辺回路が増加している。しかし、ディレイ素子の回路面積は他の回路の回路面積と比較してはるかに大きいため、本実施形態におけるタイミ

ング・ジェネレータを用いることによりトータルでの回路面積を削減することができる。特に、今後半導体記憶装置の記憶容量が増加し設けられるバンクの数が増えれば増える程、本実施形態におけるタイミング・ジェネレータを用いた場合の回路面積の削減効果は大きくなる。

【0071】(第2の実施形態)図3は本発明の第2の実施形態の半導体記憶装置の構成を示したブロック図である。図1中と同番号は同じ構成要素を示す。

【0072】本実施形態の半導体記憶装置のタイミング・ジェネレータは、図1の第1の実施形態におけるタイミング・ジェネレータに対して、リフレッシュ用タイミング生成部1を削除し、ワンショット信号発生部2をワンショット信号発生部92に置き換え、 NAND回路7₀をインバータ11に置き換え、 NAND回路12を新たに設けたものである。

【0073】ワンショット信号発生部92は、図1におけるワンショット信号発生部2に対して、3入力のNAND回路25₀を2入力のNAND回路93に置き換えることによりリフレッシュ信号8がハイレベルとなった場合でもワンショットパルス信号RTOA0が出力されるようにしたものである。

【0074】インバータ11は、ラッチ回路6₀の出力信号を論理反転してバンク活性化信号RTO0として出力する。

【0075】NAND回路12は、ラッチ回路6₀におけるNAND回路61₀の出力信号とリフレッシュ信号8との間で論理演算を行ないその演算結果をリフレッシュ用バンク活性化信号RTOCとして出力している。

【0076】次に、本実施形態の動作について図3を参照して説明する。

【0077】リフレッシュ信号8がロウレベルであり、リフレッシュ動作を行う場合以外の通常の動作時が行われる場合には、図1の第1の実施形態と動作は同様であるためその説明は省略する。

【0078】次に、リフレッシュ信号8がハイレベルとなるリフレッシュが行われる際の動作について説明する。

【0079】この場合には、リフレッシュ信号8がハイレベルのためインバータ23の出力はロウレベルとなりNAND回路25₁～25₇の出力は全てインアクティブであるハイレベルとなる。しかし、NAND回路93には、インバータ23の出力が入力されていないため、行アドレス活性化信号RASB0がロウレベルとなるとワンショットパルス信号RTOA0が出力される。そのため、ラッチ回路6₀におけるNAND回路61₀の出力信号は一定期間ハイレベルとなる信号が出力される。そして、リフレッシュ信号8がハイレベルであるため、NAND回路12は、NAND回路61₀の出力信号を論理反転した信号をリフレッシュ用バンク活性化信号RTOCとして出力する。

【0080】そして、リフレッシュ用バンク活性化信号RTOCは、 NAND回路7₁～7₇に入力されることにより一定期間ハイレベルとなるバンク活性化信号RTO1～RTO7として出力される。

【0081】上記第1の実施形態では、リフレッシュ時に各バンクを同時にアクティブとするための信号であるリフレッシュ用バンク活性化信号RTOCを生成するためにリフレッシュ用タイミング生成部1を設けていたが、本実施形態ではバンク活性化信号RTO0を生成するための回路を用いてリフレッシュ用バンク活性化信号RTOCを生成するようにしたものである。

【0082】本実施形態の半導体記憶装置におけるタイミング・ジェネレータは、バンク数が8であるにもかかわらず、上記第1の実施形態より1つ少ないディレイ素子41₀～41₃の4つのディレイ素子のみで各バンク10₀～10₇に対応したバンク活性化信号RTO0～RTO7をそれぞれ独立したタイミングで生成することができる。

【0083】上記第1および第2の実施形態では、バンク数が8の場合を用いて説明したが、本発明はこれに限定されるものではなく他のバンク数の半導体記憶装置にも適用することができるものである。この場合には、バンク数を2^Nとするとディレイ素子の数を、第1の実施形態ではN+1個、第2の実施形態ではN+2個に削減することができる。

【0084】また、上記第1および第2の実施形態における1ショット信号発生部2、92は入力した信号の立ち下がりまたは立ち上がりを検出して1ショットパルス信号を発生することができれば上記の実施形態において説明した構成に限定されるされるものではなく、単安定マルチバイブレータ等の他の回路を用いて構成するようにしてもよい。

【0085】また、エンコード部3、デコード部5も上記第1および第2の実施形態において説明した回路構成に限定されるものではなく、発生したワンショットパルス信号をエンコードし、エンコードされたワンショットパルス信号をデコードすることができる回路であれば他の回路を用いてもよい。

【0086】

【発明の効果】以上説明したように、本発明は、バンク数が増加してもタイミング・ジェネレータの回路面積が大幅に増加することを防ぐことができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体記憶装置におけるタイミング・ジェネレータの構成を示した回路図である。

【図2】図1のタイミング・ジェネレータの動作を説明するためのタイミングチャートである。

【図3】本発明の第2の実施形態の半導体記憶装置にお

けるタイミング・ジェネレータの構成を示した回路図である。

【図4】複数バンクから成る半導体記憶装置の構成を示したブロック図である。

【図5】図4中のタイミング・ジェネレータ9の構成を示した回路図である。

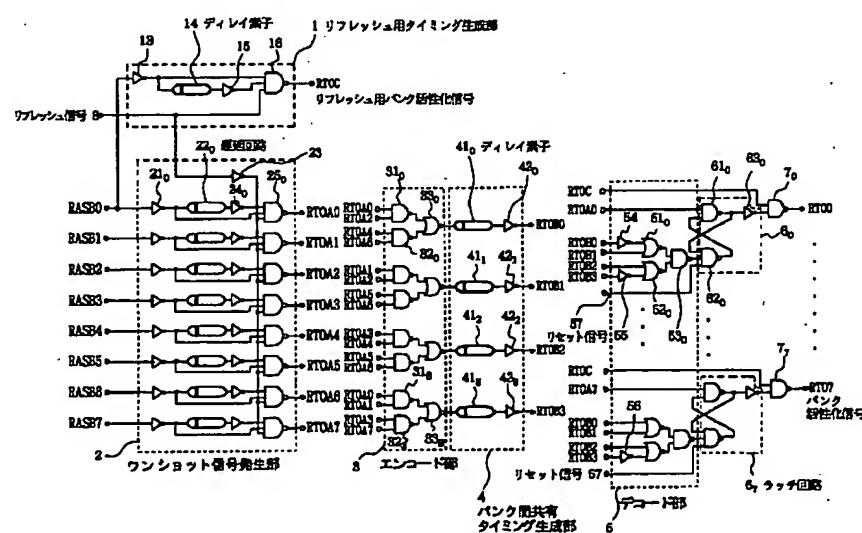
【図6】図4中のタイミング・ジェネレータ9の動作を説明するためのタイミングチャートである。

【符号の説明】

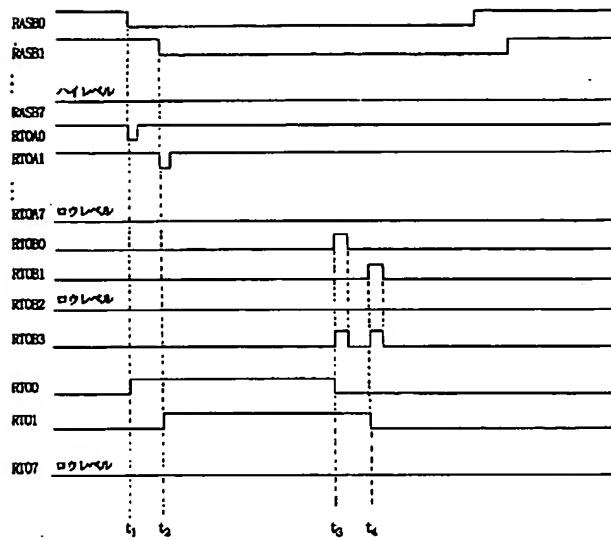
- 1 リフレッシュ用タイミング生成部
- 2 ワンショット信号発生部
- 3 エンコード部
- 4 バンク間共有タイミング生成部
- 5 デコード部
- 6₀～6₇ ラッチ回路
- 7₀～7₇ ナンド回路
- 8 リフレッシュ信号
- 9 タイミングジェネレータ
- 10₀～10₇ バンク
- 11 インバータ
- 12 ナンド回路
- 13 インバータ
- 14 ディレイ素子
- 15 インバータ
- 16 ナンド回路
- 21₀～21₇ インバータ
- 22₀～22₇ 遅延回路
- 23 インバータ

24 ₀ ～24 ₇	インバータ
25 ₀ ～25 ₇	ナンド回路
31 ₀ ～31 ₄	ナンド回路
32 ₀ ～32 ₄	ナンド回路
41 ₀ ～41 ₄	ディレイ素子
42 ₀ ～42 ₄	インバータ
51 ₀ ～51 ₇	ノア回路
52 ₀ ～52 ₇	ノア回路
53 ₀ ～53 ₇	ナンド回路
54～56	インバータ
57 リセット信号	
61 ₀ ～61 ₇	ナンド回路
62 ₀ ～62 ₇	ナンド回路
63 ₀ ～63 ₇	インバータ
80 ₀ ～80 ₇	インバータ
81 タイミング生成部	
82 ₀ ～82 ₇	ディレイ素子
83 ₀ ～83 ₇	インバータ
84 ₀ ～84 ₇	ナンド回路
85 ₀ ～85 ₇	インバータ
86 ₀ ～86 ₇	アンド回路
87 ₀ ～87 ₇	インバータ
92 ワンショット信号発生部	
RASB0～RASB7	行アドレス活性化信号
RTO0～RTO7	バンク活性化信号
RTOC	リフレッシュバンク活性化信号
RTOA0～RTOA7	ワンショットパルス信号
RTOB0～RTOB3	ワンショットパルス信号

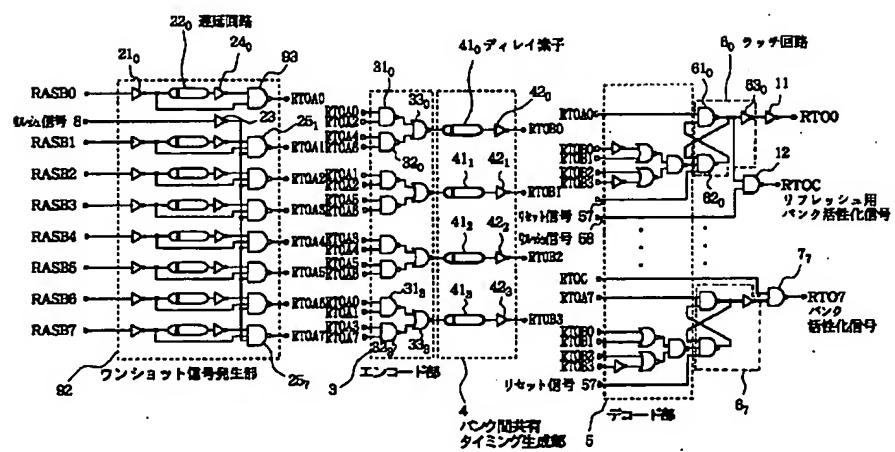
【図1】



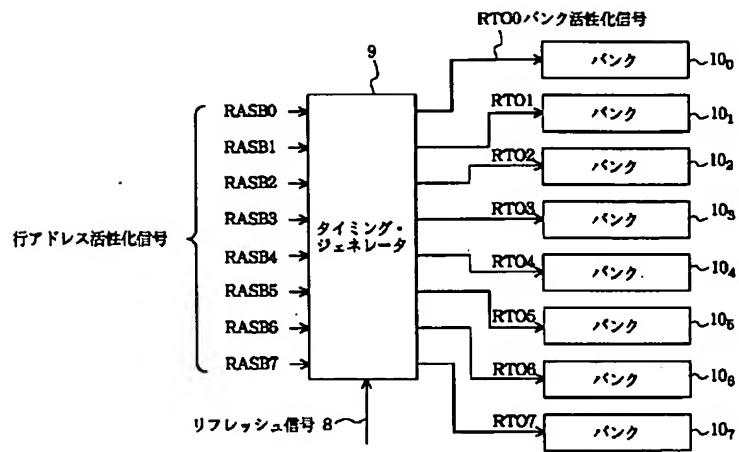
〔図2〕



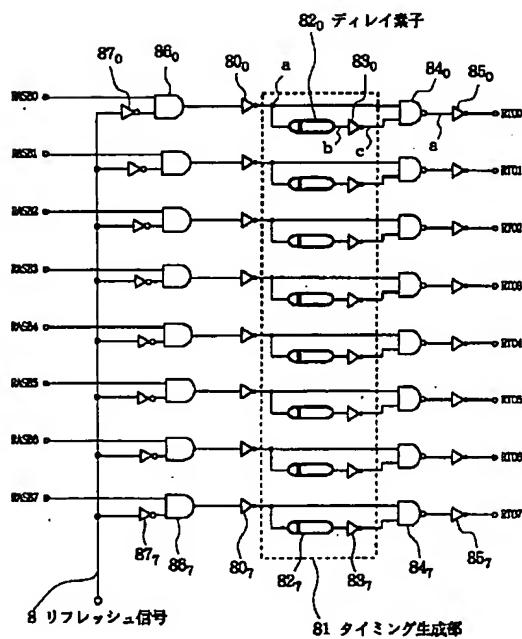
【図3】



【図4】



【図5】



【図6】

